

(51) 国際特許分類7  
H04L 12/28, 12/56

A1

(11) 国際公開番号

WO00/21247

(43) 国際公開日

2000年4月13日(13.04.00)

(21) 国際出願番号

PCT/JP98/04477

(81) 指定国 JP, US

(22) 国際出願日

1998年10月5日(05.10.98)

添付公開書類

国際調査報告書

(71) 出願人 (米国を除くすべての指定国について)

富士通株式会社(FUJITSU LIMITED)[JP/JP]

〒211-8588 神奈川県川崎市中原区上小田中4丁目1番1号  
Kanagawa, (JP)

(72) 発明者; および

(75) 発明者/出願人 (米国についてののみ)

阿部英雄(ABE, Hideo)[JP/JP]

田村嘉郎(TAMURA, Yoshio)[JP/JP]

〒222-0033 神奈川県横浜市港北区新横浜3丁目9番18号

富士通コミュニケーション・システムズ株式会社内

Kanagawa, (JP)

近松裕一郎(CHIKAMATSU, Yuichiro)[JP/JP]

〒211-8588 神奈川県川崎市中原区上小田中4丁目1番1号

Kanagawa, (JP)

(74) 代理人

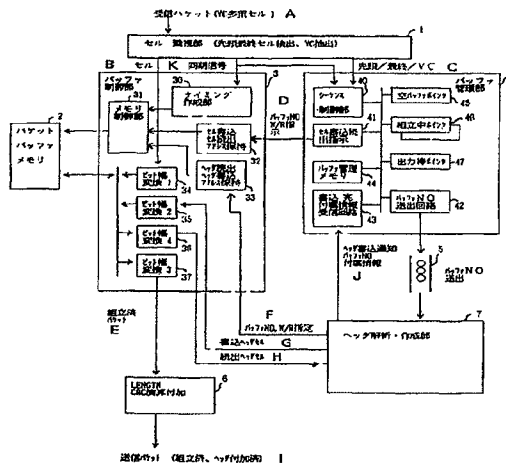
弁理士 林 恒徳, 外(HAYASHI, Tsunenori et al.)

〒222-0033 神奈川県横浜市港北区新横浜3-9-5

第三東昇ビル 林・土井国際特許事務所 Kanagawa, (JP)

(54)Title: PACKET BUFFER DEVICE

(54)発明の名称 パケットバッファ装置



- 1 ... CELL MONITOR (DETECTION OF HEADER AND END CELLS; EXTRACTION OF VC)  
2 ... PACKET BUFFER MEMORY  
3 ... BUFFER COMPLEXER  
4 ... BUFFER MANAGER  
5 ... TRANSMISSION OF BUFFER NO.  
6 ... ADD LENGTH AND CRC CALCULATION  
7 ... HEADER ASSEMBLER AND ORIGINATOR  
8 ... TIMING GENERATOR  
9 ... MEMORY CONTROLLER  
10 ... CELL WRITING; CELL READING; ADDRESS RECALCULATING  
11 ... HEADER READING; HEADER WRITING; ADDRESS RECALCULATING  
12 ... CELL  
13 ... HEADER/END/VC  
14 ... BUFFER NO. W/R SPECIFICATION  
15 ... ASSEMBLED PACKET  
16 ... BUFFER NO. W/R SPECIFICATION  
17 ... WRITE HEADER CELL  
18 ... READ HEADER CELL  
19 ... PACKET TO BE TRANSMITTED (ASSEMBLED; HEADER ADDED)  
20 ... HEADER WRITE NOTIFICATION; BUFFER NO.; ASSOCIATED INFORMATION  
21 ... UNDER-ASSEMBLY POINTER  
22 ... OUTPUT QUEUE POINTER  
23 ... RECEIVED PACKET (VC-MULTIPLIED CELLS)

(57) Abstract

A packet buffer device that efficiently uses a buffer and a time, both used for packet assembly, in a packet header analysis and addition processing. The packet buffer device receives VC-multiplexed ATM cells, assembles the cells into cell-based packets for each VC, and outputs them on a packet basis. As an example, the packet buffer device has a sequence controller which performs a control that involves: assembling a packet by storing the cells of the packet, from the header cell to the end cell, into a packet buffer memory, which has a plurality of cell buffers for storing received packets on a cell-basis; detecting the completion of writing of a new header cell; and connecting a packet-under-assembly queue consisting of under-assembly pointers to an output waiting queue.

(57)要約

パケット組立で使用するバッファ及び、パケット組立に要する時間をパケットのヘッダ解析・付加処理に効率的に使用するパケットバッファ装置が開示される。かかるパケットバッファ装置は、V C多重されたATMセルを受信し、V C毎にセルのままパケットを組立て、パケット単位で出力するパケットバッファ装置を対象とする。また一の態様として、受信したパケットをセル単位に格納する複数のセルバッファを有するパケットバッファメモリへのパケットの先頭セルから最終セルまでの格納によりパケットが組み立てられ、且つ新たなヘッダセルの書き込の完了を感知し、組立中ポインタで形成されるパケット組立中キューを出力待ちキューに繋ぐ様に制御するシーケンス制御部を有する。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE アラブ首長国連邦	DM ドミニカ	KZ カザフスタン	RU ロシア
AL アルバニア	EE エストニア	LC セントルシア	SD スーダン
AM アルメニア	ES スペイン	LI リヒテンシュタイン	SE スウェーデン
AT オーストリア	FI フィンランド	LK スリ・ランカ	SG シンガポール
AU オーストラリア	FR フランス	LR リベリア	SI スロヴェニア
AZ アゼルバイジャン	GA ガボン	LS レソト	SK スロヴァキア
BA ボスニア・ヘルツェゴビナ	GB 英国	LT リトアニア	SL シェラ・レオネ
BB バルバドス	GD グレナダ	LU ルクセンブルグ	SN セネガル
BE ベルギー	GE グルジア	LV ラトヴィア	SZ スワジランド
BF ブルキナ・ファソ	GH ガーナ	MA モロッコ	TD チャード
BG ブルガリア	GM ガンビア	MC モナコ	TG トーゴ
BJ ベナン	GN ギニア	MD モルドヴァ	TJ タジキスタン
BR ブラジル	GW ギニア・ビサウ	MG マダガスカル	TZ タンザニア
BY ベラルーシ	GR ギリシャ	MK マケドニア旧ユーゴスラヴィア	TM トルクメニスタン
CA カナダ	HR クロアチア	共和国	TR トルコ
CF 中央アフリカ	HU ハンガリー	マリ	TT トリニダード・トバゴ
CG コンゴ	ID インドネシア	ML モンゴル	UA ウクライナ
CH スイス	IE アイルランド	MN モンゴリア	UG ウガンダ
CI コートジボアール	IL イスラエル	MR モーリタニア	US 米国
CM カメルーン	IN インド	MW マラウイ	UZ ウズベキスタン
CN 中国	IS アイスランド	MX メキシコ	VN ヴイエトナム
CR コスタ・リカ	IT イタリア	NE ニジェール	YU ユーゴスラビア
CU キューバ	JP 日本	NL オランダ	ZA 南アフリカ共和国
CY キプロス	KE ケニア	NO ノールウェー	ZW ジンバブエ
CZ チェコ	KG キルギスタン	NZ ニュー・ジーランド	
DE ドイツ	KP 北朝鮮	PL ポーランド	
DK デンマーク	KR 韓国	PT ポルトガル	
		RO ルーマニア	

## 明細書

## パケットバッファ装置

## 技術分野

本発明は、パケットバッファ装置に関する。特に、複数のＡＴＭ（非同期転送モード）セルをパケット化して、送受信するシステムにおいて、ＶＣ（仮想チャネル）多重されたセルをＶＣ単位でセルのままパケットに組み立て出力するパケットバッファ装置に関する。

## 背景技術

セルをパケット化して送受信するシステムの一例として、図１６に示すシステムが想定される。さらに、特開平９－３４８１６号公報に類似システムが開示されている。ＩＰプロトコルでユーザ間が接続されたＬＡＮネットワーク１００と、大規模ＩＰネットワーク２００とがカプセル化装置２０１で接続されている。

ＬＡＮネットワーク１００は、ＩＰパケットをＡＴＭ（非同期転送モード）セル化（ＩＰオーバＡＴＭ）し、ＬＬＣ（Logical Link Control：論理リンク制御）及び、ＳＮＡＰ（Subnetwork Access Point）を付加して、カプセル化している。

一方、大規模ＩＰネットワーク２００は、カプセル化装置２０１において、このカプセル化されたＩＰパケットに独自の網内ヘッダを付加してカプセル化して網内転送用としている。また、大規模ＩＰネットワーク２００からは、ＬＡＮネットワーク１００のユーザに転送する際は、カプセル化装置２０１において、網内ヘッダを削除している。

図１７は、ＡＡＬ（ＡＴＭ Adaptation Layer：高位レイヤから来るユーザのアプリケーションデータを整数倍に調製、分割するレイヤをいう）タイプ５のＡＴＭセルフォーマットであり、５バイトのヘッダと、４８バイトのペイロードを有する。５バイトのヘッダ部分には、仮想チャネル識別（ＶＣＩ）及び、パケットを構成するセルの最終セル表示フラグＰＴ０を有している。

ユーザ１０２から、ＩＰパケットが図１７に示すセルフォーマットで出力される。このＡＴＭセルのＩＰパケットは、図１８に示すようにカプセル化されている。

すなわち、1フレーム最大65535オクテッドとなるようにAT20、Mセルをパケット化し、図18(A)に示すように、これにパケット長が48バイトの整数倍となるように、1~47バイトのPADが挿入される。さらに、8バイトのトレイラが付加される。8バイトのトレイラには、ユーザ情報、フレーム長情報、CRCチェック情報が含まれる。

また、IPパケットのフレームには、カプセル化の為に3バイトの上記LLC、5バイトの上記SNAPを有している。図16の集線装置101で、複数の仮想チャネルに対し、カプセル化されたIPパケットのATMセルがVC多重化される。

このVC多重化されたATMセルから、VC毎にパケット分離することは、ATMセルのヘッダのVCIを参照し、更に、最終セルフラグPT0を検知することにより可能である。

カプセル化装置201は、ユーザ102からのパケットセルに対し、AAL5で終端し、送出方路を識別してVCを付け替え、図18(B)に示すように、大規模IPネットワーク200内の独自の網内ヘッダを付加する。そして、コネクションサーバ202に送出する機能を有する。

一方、カプセル化装置201は、大規模IPネットワーク200にあるコネクションサーバ202からのパケットを、AAL5で終端する。さらに、網内で付けられた独自のヘッダを削除し、送出先ユーザ102を識別して、VCを付け替え該当のユーザに向けて送出する機能を有する。ここで大規模IPネットワーク内の複数ルートから同一ユーザへ同時にパケットを受信した場合、異なったパケットが送出先対応の同一VCを付与されて送出され混在消失するのを防ぐため、セルをパケット化してから送出する。

なお、LANネットワーク100内の、ユーザからユーザへのパケットセルに対しては、網内の独自のヘッダの付加/削除は行われない。

したがって、上記のようなカプセル化装置201の機能の実現のために、セル単位でパケット化して蓄積するバッファ機能が必要である。

図19は、かかるバッファ機能を実現するパケットバッファ装置の一構成例のブロック図である。図19に示す構成のパケットバッファ装置では、受信されたパケットをパケットバッファメモリ210に格納退避する。ソフトウェア又は、ファーム

ムウェアにより、パケットのヘッダを読み出し、解析して新たにヘッダを付加してパケットを送出している。

すなわち、図 19 において、受信されたパケットは、パケットバッファメモリ 210 に一旦格納される。パケットバッファメモリ 210 との間で、DMA 回路 211 を通して順次転送されるパケットをセル分解・組立部 (CLAD: Cell Assembly & Disassembly) 212 で、所定のヘッダ読取、ヘッダ解析を行う。網内用ヘッダを作成後に、当該ヘッダの付加によりカプセル化してパケットの送出行う。

このようなセル分解・組立部 212 における処理は、ヘッダ解析・作成ソフトウェア又は、ファームウェア 213 に従い、マイクロプロセッサ 214 により実行制御される。

ここで、マイクロプロセッサ 214 によるソフトウェア又は、ファームウェア 213 の制御によってセル分解・組立部 212 の処理を実行する場合は、処理時間の短縮が難しく高速多重回線を扱う場合、ヘッダの付加処理が回線収容能力のネックとなる。

したがって、近年の回線の高速化、大容量化に対応して、パケットヘッダの解析・作成をハードウェアにより高速化させる必要が生じている。しかし、パケットのヘッダの解析、付加をパケットの流れに同期させて処理する場合、ヘッダの解析、付加処理を一定期間内で行う必要がある。

そこで処理時間が一定でない場合は、最大の処理遅延に対応出来る様にある程度のパケット量をバッファする機能が必要である。

#### 発明の概要

したがって、本発明の目的は、パケットの組立とパケットヘッダの解析、付加を行うことが同時に可能であるパケットバッファ装置を提供することにある。

さらに、本発明の目的は、パケット組立で使用するバッファ及び、パケット組立に要する時間をパケットのヘッダ解析・付加処理に効率的に使用するパケットバッファ装置を提供することにある。

上記本発明の課題を達成するパケットバッファ装置は、VC (仮想チャネル) 多重された ATM (非同期転送モード) セルを受信し、VC 毎にセルのままパケット

を組立て、パケット単位で出力するパケットバッファ装置を対象とする。

構成として、受信したパケットをセル単位に格納する複数のセルバッファを有するパケットバッファメモリと、このパケットバッファメモリのセルバッファ対応に、バッファ管理情報を保持するバッファ管理メモリと、VC毎に該パケットバッファメモリへのパケットの先頭セルから最終セルまでの格納の途中のパケット組立中キューを形成する組立中ポインタと、前記先頭セルを解析して、新たなヘッダセルを作成するヘッダ解析・作成手段を有する。そして、前記ヘッダ解析・作成手段は、作成された新たなヘッダセルを該パケット組立中キューの先頭セルとして書き込みを行うことを特徴とする。

また、一の態様として、前記パケットバッファメモリへのパケットの先頭セルから最終セルまでの格納によりパケットが組み立てられ、且つ前記新たなヘッダセルの書込の完了を検知し、前記組立中ポインタで形成されるパケット組立中キューを出力待ちキューに繋ぐ様に制御するシーケンス制御部を有する。

さらに、一の態様として、前記新たなヘッダセルの先頭セルとして書き込みは、該ヘッダセルの付加、ヘッダセルとの置換又は、先頭セルの無変換処理を含む。

さらにまた、一の態様として、前記パケットバッファメモリは、パケットの先頭セルを受信した時、先頭セルに対応して、リンクする2つのセルバッファを確保し、この該確保された2つのセルバッファの2番目のセルバッファから、受信するパケットのセルを格納することを特徴とする。

また、一の態様として、前記ヘッダ解析・作成手段は、作成された新たなヘッダセルを前記パケット組立中キューの先頭セルとして書き込みを完了した情報と、付属情報を出力し、前記シーケンス制御部は、前記付属情報を参照して廃棄指示である場合、前記組立中ポインタで形成されるパケット組立中キューを、出力待ちキューに繋ぐことなく廃棄するように制御する。

さらに、前記新たなヘッダセルの内容をパケットの後続するセルのヘッダにコピーして出力することを特徴とする。

本発明の更なる課題及び、特徴は以下の図面を参照して説明される実施の形態から明らかになる。

### 図面の簡単な説明

- 図 1 は、本発明に従うパケットバッファ装置の実施例の構成を説明する図である。
- 図 2 は、バッファ制御部 3 の動作を説明する図である。
- 図 3 は、バッファ制御部のビット変換回路の実施例ブロック図である。
- 図 4 は、図 3 の実施例回路に対応するタイムチャート図である。
- 図 5 は、バッファ管理部の動作を説明する図である。
- 図 6 は、バッファ管理メモリの内容を説明する図である。
- 図 7 は、バッファ管理のためのバッファ間のリンクを説明する図である。
- 図 8 は、ヘッダ書込完了の通知を説明する図である。
- 図 9 は、ヘッダ書込完付属情報を説明する図である。
- 図 10 は、ヘッダのコピー機能を行う回路の実施例である。
- 図 11 は、バッファ管理部のパケット組立処理の実施例フロー図である。
- 図 12 は、バッファ管理部のヘッダ書込完監視の実施例フロー図である。
- 図 13 は、バッファ管理部のパケット組立処理の他の実施例フロー図である。
- 図 14 は、バッファ管理部のヘッダ書込完監視の他の実施例フロー図である。
- 図 15 は、バッファ管理部のパケット送出処理の実施例フロー図である。
- 図 16 は、セルをパケット化して送受信するシステムの一例を説明する図である。
- 図 17 は、AAL5 ATMセルフフォーマットを示す図である。
- 図 18 は、IP オーバ ATM 及び、網内ヘッダによるカプセル化を説明する図である。
- 図 19 は、従来のパケットバッファ装置を説明する図である。

### 発明を実施するための最良の形態

以下本発明の実施の形態を図面に従い説明する。なお、図において、同一又は、類似のものには同一の参照番号又は、参照記号を付して説明する。

図 1 は、本発明に従うパケットバッファ装置の実施例の構成を説明する図である。かかるパケットバッファ装置の機能として、LAN ネットワーク 100（図 16 参照）のユーザ側から送られる VC 多重化セルを受信し、これを VC（仮想チャネル）毎に組み換えてパケットを組立てる。

さらに、これに大規模IPネットワーク200の網内の独自のヘッダを付加してカプセル化して出力する機能を有する。

反対に、大規模IPネットワーク200から送られるカプセル化されたパケットから独自のヘッダを削除してネットワーク100のユーザ側に送り出す機能を有する。

図1において、セル監視部1は、VC多重化されたIPパケットをネットワーク100から受信し、若しくは、ネットワーク200から網内用ヘッダの付いたパケットを受信する。

受信されたパケットから、セル監視部1において、VC（仮想チャネル）毎に、パケットの先頭セルと最終のセル情報が抽出される。この先頭セルと最終のセルは、先に説明したように、ペイロードタイプ（PT）がPT0が“1”時、パケットの最終セルを表す。従って最終セルの次に現れる該当のVCのセルが先頭セルとなる関係から検知可能である。

セル監視部1を通過したセルは、同期信号とともに、バッファ制御部3に入力される。さらに、抽出された先頭セルと最終のセル及び、VC（仮想チャネル）情報が、同期信号とともに、バッファ管理部4に入力される。パケットバッファメモリ2は、セル単位でパケットを格納するメモリである。

バッファ制御部3は、受信パケットのパケットバッファメモリ2への受信パケットのセル単位での書込及び、送信パケットのパケットバッファメモリ2から送信パケットのセル単位での読出を制御する。

この時、バッファ制御部3は、同期信号を基にタイミング作成部30で作成されるタイミング信号に従い、メモリ制御部31によりセル単位での書込み、読み出しを制御する。

この時のセル単位での書き込み、読み出しを行うアドレスは、バッファ管理部4から送られ、アドレス保持回路32に保持されている。

さらに、バッファ制御部3は、ヘッダ解析・作成部7から送られるヘッダセルのパケットバッファメモリ2への書込、ヘッダ解析・作成部7へのヘッダセルの読出を、同様にメモリ制御部31により制御する。

この時のヘッダセルの書き込み、読み出しを行うアドレスは、ヘッダ解析・作成



部 7 から送られ、別のアドレス保持回路 3 3 に保持されている。

ここで、バッファ制御部 3 では受信セルの書込みと、送信セルの読み出し及び、ヘッダセルの書込みとヘッダセルの読み出しが同時に発生する場合の考慮が必要である。

そのために、バッファ制御部 3 の動作を説明する図 2 におけるセルの書込み、読み出しタイムチャートにより示されるように、バッファ制御部 3 は、上記受信セルの書込みと、送信セルの読み出し及び、ヘッダセルの書込みとヘッダセルの読み出し動作を、1セル時間内に行う。これによりアクセス時間を保証している。

すなわち、図 2 において、1セル通過時間内に、実施例として、パケットバッファメモリ 2 に受信したセルの書込み (1)、ヘッダセルの書込み (2)、パケットバッファメモリ 2 からのセルの読み出し (3) 及び、ヘッダセルの読み出し (4) を行う。

さらに、図 1 の、バッファ制御部 3 の特徴として、第 1 ～ 第 4 のビット幅変換回路 3 4 ～ 3 7 を有し、それぞれ 8 ビット並列で転送されるセルデータに対し、8 ← → 6 4 ビット変換を行う。

図 3 に、8 ← → 6 4 ビット幅変換回路 3 4 ～ 3 7 の構成例を示す。それぞれ 8 ビット並列データのシフトレジスタを 8 列分有して構成される。ビット幅変換回路 3 4、3 5 は、セル監視部 1 から入力される 8 ビット並列の受信セル及び、ヘッダ解析・作成部 7 から送られる 8 ビット並列のヘッダセルを 6 4 ビットにそれぞれ変換して、パケットバッファメモリ 2 に書き込む。

反対に、ビット幅変換回路 3 6、3 7 は、パケットバッファメモリ 2 から読み出される 6 4 ビット並列の送信セル及び、ヘッダセルを 8 ビット並列に変換し、それぞれトレイラ付加回路 6 及び、ヘッダ解析・作成部 7 に送る。

図 2 のタイムチャートにおいて、8 → 6 4 ビット幅変換回路 3 4、3 5 は、それぞれ、8 ビット並列のデータセル及び、ヘッダセルを 6 4 ビット並列に変換するビット幅変換処理と、書込み処理を 1セル通過期間内で行う。

同様に、6 4 → 8 ビット幅変換回路 3 6、3 7 は、それぞれ、6 4 ビット並列のデータセル及び、ヘッダセルの読み出し動作と、8 ビット並列に変換するビット幅変換処理を 1セル通過期間内で行う。

このように、パケットバッファメモリ 2 への書込み、読み出しを 64 ビット幅で行うことにより、アクセス回数を減らすことが可能である。この様子を図 3 の実施例回路に対応する図 4 のタイムチャートを参照して更に説明する。

本実施例では、パケットバッファメモリ 2 に、シンクロナス DRAM を用いて、受信 1 セル分の書込み・送信 1 セル分の読み出し及び、1 セル分のヘッダ書込み・1 セル分のヘッダ読出を、それぞれ 64 ビットずつ 7 回の書込、読出しで行っている。

また各々のセルの同期信号（セル TOP）は、図 4 に示されるようにずらせばよい。しかし、外部条件で各々のセル TOP ①～④の位相が決められている場合には、ビット変換回路 34～37 内で必要な位相をずらすことにより実現可能である。

なお、パケットバッファメモリ 2 にシンクロナス DRAM 以外のメモリを使用した場合でも、同様にビット変換とセル TOP の調整により、アクセス回数の削減が可能である。

一方、図 1 において、バッファ管理部 4 は、先に説明したように、セル監視部 1 から、同期信号とともに、VC（仮想チャネル）毎のパケットの先頭セル及び、最終セル及び、VC 情報をシーケンス制御部 40 で受信する。

バッファ管理部 4 は、パケットの先頭セルを受信する度に、ヘッダ付加用のバッファ No. 及び、ヘッダ読取り用のバッファ No. をバッファ 5 に格納する。なお、バッファ 5 として FIFO メモリを用い、先頭セルの格納されるパケットバッファメモリ 2 のバッファ No. を順次書き込むことによりキューが形成される。

ヘッダ解析・作成部 7 は、バッファ 5 にバッファ No. が格納されていることを識別し、バッファ No. を取り出す。このバッファ No. がヘッダ読取り用である場合は、バッファ制御部 3 のヘッダ読出し書込みアドレス保持回路 33 に対し、パケットバッファメモリ 2 の該当のバッファ No. からヘッダセルを読取ることを要求する。これにより、バッファ制御部 3 のメモリ制御部 31 の制御によりヘッダセルが読み出される。

一方、ヘッダ解析・作成部 7 は、バッファ 5 に格納されるバッファ No. が受信ヘッダセルに対し、新ヘッダを作成し付加するためである時、バッファ No. を付加してバッファ制御部 3 を通してパケットバッファメモリ 2 に書き込む。

さらに、ヘッダ解析・作成部 7 は、ヘッダをパケットバッファメモリ 2 に書き込むと同時に、ヘッダ書込み完了通知及び付属情報をバッファ管理部 4 の書込み完了付属情報の受信回路 4 3 に通知する。

ここで、バッファ管理部 4 の詳細を、図 5 の動作フローを参照して説明する。シーケンス制御部 4 0 は、バッファ管理部 4 の全体動作を制御する。VC（仮想チャネル）毎のパケットの先頭セル、及び最終セル情報から、セル書込読出指示回路 4 1 を通して、アドレス保持回路 3 2 にセルデータを書き込む先の、パケットバッファメモリ 2 の空きバッファエリアのアドレスを送る。

したがって、メモリ制御部 3 1 の制御の下に、パケットバッファメモリ 2 にセル単位でセルデータが書き込まれる。

ここで、バッファ管理部 4 は、バッファ管理メモリ 4 4 を有し、バッファ管理メモリ 4 4 は、パケットバッファメモリ 2 にセルバッファ単位に付与されたバッファ No. (= 1 ~ n) と、1 対 1 に対応してバッファ管理情報を格納する複数の管理エリアを有する。

1 つのバッファ管理エリアに記憶されるバッファ管理情報 4 4 0 は、1 つのセルに対しての、バッファリンク情報 4 4 0 a、(ヘッダ書込完了フラグ+付属情報) 4 4 0 b 及び、ヘッダ書込待ち制御情報 4 4 0 c を有する。

その詳細が、図 6 に示される。バッファリンク情報 4 4 0 a は、パケットバッファメモリ 2 の次のバッファ No. を記録する。これにより、パケットバッファメモリ 2 にセル単位に記憶される、受信した 1 つのパケットの先頭セルから最終セルまでをリンクすることが出来る。

かかるリンクの様子を図 7 に示す。図 7 (A) は、パケットバッファメモリ 2 の記憶内容である。バッファ No. (0), (a), (b), (c) は、1 つの IP パケットに含まれるセルに対して確保されたエリアであり、バッファ No. (d), (e), (f) は、別の IP パケットに含まれるセルに対して確保されたエリアである。

図 7 (B) は、対応するバッファ管理メモリ 4 4 の内容であり、パケットバッファメモリ 2 のセル単位に対応するアドレス位置に、次のセルの記憶されるバッファ管理メモリ 4 4 上のリンク位置（ポインタ）が記録されている。

例えば、パケットバッファメモリ 2 のバッファ No. (0) に記憶されるセルに対

応して、バッファ管理メモリ 44 には、次のリンクされるバッファ No. (a) が記録されている。さらに、パケットバッファメモリ 2 のバッファ No. (a) に記憶されるセルに対応して、バッファ管理メモリ 44 には、次のリンクされるバッファ No. (b) が記録されている。

この様にして、図 7 (C) に示す様に、パケット毎に先頭ポインタ値から最終ポインタ値までのリンク [バッファ No. (0), (a), (b), (c) のリンク及び、バッファ No. (d), (e), (f) のリンク] が可能である。このリンクに従って、パケットバッファメモリ 2 からパケットに含まれるセルの順次の読み出しが可能である。

図 5、図 6 に戻り説明すると、バッファ管理メモリ 44 に記憶されるバッファ管理情報の内、ヘッダ書き込み待ち制御情報 440c は、VC (仮想チャネル) の入れ換えによりパケット組立が完了し、且つヘッダ書き込み待ちの時に、一旦退避格納されるパケット組立済情報である。そして、ヘッダ書き込み完了フラグと、ヘッダ書き込み付属情報 440b を有する。

ここでパケット組立が完了するとは、先に説明した様に、1 のパケットの先頭セルから最終セルまで全てのセルデータがパケットバッファメモリ 2 に格納され、且つ、バッファ管理メモリ 44 のバッファリンク情報により、先頭セルから最終セルまでリンクされた状態を意味する。

ヘッダ書き込み完了フラグは、後に図 8 に従い説明される様に、ヘッダ解析・作成部 7 の制御により、1 つのパケットに付与される新たな先頭セル (ヘッダセル) がパケットバッファメモリ 2 に書き込まれた時点でオンとされる。

さらに、ヘッダ書き込み付属情報として、ヘッダ書き込み完了時点における付属情報が格納される。ここで、ヘッダ書き込み完了の時点における付属情報は、ヘッダ付加種別及び、パケット廃棄指示がある。

また、バッファ管理メモリ 44 に記憶されるバッファ管理情報 440 の内、ヘッダ書き込み待ち制御情報 440c は、ヘッダ書き込み待ちフラグ、パケット内セル数及び、最終セルのバッファ No. 等の情報を有する。

ヘッダ書き込み待ちフラグは、パケットの組立が完了し、且つヘッダ書き込みが未了の時にオンとされる。パケット内セル数は、組立完了済のパケット内のセル数を示す。

最終バッファNo. は、図7 (C) で説明したような、組立済パケットのバッファリンクの最終セルのバッファNo. を示す。

図5において、パケットバッファメモリ2のそれぞれのセルバッファは、その使用状態で、空きバッファキューIBQ、組立て中キューUCQ、出力待ちキューOWQを形成する。

各キューの状態は、バッファ管理部4のそれぞれ空きバッファポインタ45、組立て中ポインタ46、出力待ちポインタ47で制御される。各ポインタ間は、先頭及び、最後尾ポインタでリンクを繋いでいる。先頭のバッファNo. 及び、最後尾のバッファNo. を格納し、キュー間でセルバッファの移動があるたびにポインタの更新を行う。

ここで、VC毎に組立中キューが必要であるため、VC数が多くなる場合、組立て中ポインタ46はそのVC数に対応する多数個が必要である。したがって、組立て中ポインタ46は、スタティックRAMを用いて構成することが有利である。一方、空きバッファポインタ45及び、出力待ちポインタ47は、それぞれ1つのキューを形成するので、簡単なレジスタを用意すれば足りる。

シーケンス制御部40は、ここで、パケットの組立てが完了した時即ち、パケットの先頭セルから最終セルまでパケットバッファメモリ2に書き込まれた時、バッファ管理メモリ44のバッファ管理情報440中のエリア440bにおいて、ヘッダ解析作成部7より新たなヘッダが書き込まれているときヘッダ書込み完了フラグがオンとされている。したがって、シーケンス制御部40は、ヘッダ書込み完了フラグを参照して、ヘッダの書込みが完了したか否かをチェックする。

そして、ヘッダの書込みが完了していた場合のみ、組立済のパケット（組立て中キューUCQ内のセル）を出力待ちキューOWQに繋ぎ、組立中キューUCQを開放する。これは、出力待ちキューOWQのポインタ47と、組立中ポインタ46を更新することにより可能である。

パケットの組立てが完了した場合であって、ヘッダの書込みが今だ完了していない場合は、組立て済のパケットの先頭セルのバッファNo. に対応するバッファ管理メモリ44のヘッダ書込み待ち制御情報エリア440cのヘッダ書込み待ちフラグがオンとされる。

さらに、最終セルバッファNo. 及び、パケット内セル数をヘッダ書込み待ち制御情報エリア440cに格納する。これにより、パケット毎に書込み待ちキューWWQとして待避される。そして、組立て中キューUCQは、次パケット受信用に開放可能となる。

また、ヘッダ解析・作成部7から受信回路43へのヘッダ書込み完了通知時に、付属情報としてヘッダ付加種別及び、パケット廃棄指示が、図6に示すバッファ管理メモリ44のバッファ管理情報エリア440bに書き込まれる。

したがって、シーケンス制御部40がバッファ管理情報エリア440bを参照してパケット組立て完了、且つヘッダの書込み完了を識別した時、付属情報のパケット廃棄指示がオンしていた場合、パケットを出力待ちキューOWQに繋げずに廃棄し、使用バッファを空きバッファIBQに繋げる。

ここで、パケットが廃棄される場合とは、例えば、転送先アドレスが読みとれなかった場合等である。

図8に、上記のヘッダ書込み完了通知の処理概要図を示す。今、ヘッダ解析・作成部7において、バッファ制御部3を通して、パケットバッファメモリ2のセルバッファNo. bからヘッダを読み出し解析する。大規模IPネットワーク200に転送すべきパケットである場合、大規模IPネットワーク200内転送用の新ヘッダをセルバッファNo. aに書き込む。

さらに、この時、ヘッダ解析・作成部7は、バッファ管理部4のヘッダ書込み完了及び付属情報の受信回路43を通して、バッファ管理メモリ44のバッファ管理情報エリア440bの書込み完了フラグをオンにする。同時に付属情報を設定する。

このように設定されたバッファ管理情報エリア440bを参照して、パケットが組立て完了し、且つヘッダ書込み完了後、廃棄指示でない場合、出力待ちキューOWQに繋がれ、順に送信される。

ここで、セル送出処理において、シーケンス制御部40は、パケットの先頭を監視し、パケットの先頭セル送信時に、図6に示す付属情報のヘッダ付加種別を読み取る。図9(A)に改めて示す様に、ヘッダ書込完了時の付属情報は、パケットの廃棄と、ヘッダの付加種別がある。

ヘッダの付加種別として、更にヘッダ解析・作成部7により書かれたヘッダを受

信ヘッダの上に被せて送出（種別：付加）するか〔図9（B）①〕、受信ヘッダに置き換えて送出（種別：置換）するか〔図9（B）②〕、あるいはまたは受信ヘッダをそのまま送出（種別：無変換）するか〔図9（B）③〕を判定される。

図9（B）において、RHは受信パケットのヘッダセルであり、SHはヘッダ解析・作成部7により送信パケットに付加されたヘッダセルである。また、Eはパケットの最終セルを示す。

ここで、図9（B）に示される様に、受信パケットに対して、送信パケットが受信パケットのヘッダセルRHと、付加されたヘッダセルSHを有する場合〔図9（B）①〕がある。

したがって、かかるケースに対応するべく、シーケンス制御部40が、パケットの先頭セルを受信した時、パケットバッファメモリ2に先頭セル（ヘッダセル）書込用として、リンクする2つのバッファNo. エリアを確保する。パケットを受信した時には、2つ目のめのバッファNo. エリアから格納していく。

一方、ヘッダ解析・作成部7は、図8において先に説明したように、受信ヘッダセルに対し、新ヘッダを作成し、セルバッファNo. を付加してバッファ制御部3を通してパケットバメモリ2に書き込む。さらに、ヘッダ解析・作成部7は、ヘッダを書き込むと同時にヘッダ書込み完了通知及び付属情報をバッファ管理部4の書込み完了付属情報の受信回路43に通知する。

ここで、ヘッダ解析・作成部7より作成された新ヘッダに付加されるセルのATMヘッダ部内のVP1, VC1, PT (Payload Type), CLP (Cell Loss Priority) を、同一パケットの後続のセルに対しても搭載する必要がある。

このために実施例として、パケットバッファ2からのセル出力時に、パケット内の後続セルにこれらの情報をコピーする。これにより新たなパケットヘッダの付加と共に、パケットのVC変換が可能である。

図10は、かかるコピー機能を行う回路の実施例である。図10において、バッファ制御部3から出力されるパケットのATMセル列は、図10のAに示す如くである。このATMセル列の先頭セルには、新しいヘッダが付加されている。これに後続するセルは、旧のヘッダが付けられたままである。

そこで、セルヘッダコピー回路8が用意される。バッファ80と、先頭セルのヘ

ッダを抽出保持する回路 8 1 を有する。回路 8 1 により抽出保持された先頭セルのヘッダをタイミング回路 8 3 からのタイミング信号に同期して、後続するセルのヘッダに上書きする。

これにより、コピー回路 8 の出力は、図 1 0 の B に示す如くに先頭セルの新しいヘッダを後続するセルに対しても付加することが可能である。なお、ATMヘッダのコピー範囲を予め定めて置くことにより必要な情報のみを残すことが可能である。

回路 8 の出力は、さらに、回路 6 において、セル長及び、CRC 演算結果が付加され、カピセル化されて送り出される。

次に、図 1 1 乃至図 1 5 の動作フローにより更に、本発明の上記のバッファ管理の実施例動作を順に説明する。

図 1 1 は、パケット組立処理フローであり、シーケンス制御部 4 0 により、セルを受信し、VC 毎にパケットの先頭セルから最終セルまでリンクしながらパケットバッファメモリ 2 に格納することによりパケットの組立を行う（ステップ S 1）。

したがって、最終セルまで受信し、パケットの組立が完了したかを判断し（ステップ S 2）、パケットの組立が完了している場合は、更に、新たなヘッダが書込済か否かを判断する（ステップ S 3）。

ヘッダが書込済である場合は、組立中キュー UCQ にある組立済パケットを出力待ちキュー OWQ に繋ぐ（ステップ S 4）。一方、ヘッダの書込が未了である場合は、バッファ管理メモリ 4 4 のエリア 4 4 0 c のヘッダ書込待ちフラグをオンとする。そして、組立済情報（セル数及び、最終セルバッファ No.）を先頭セルバッファ No. 対応のバッファ管理メモリ 4 4 上に格納する（ステップ S 5）。

図 1 2 は、ヘッダ書込完了監視フローである。シーケンス制御部 4 0 は、ヘッダ解析・作成部 7 から書込完了付属情報の受信回路 4 3 へのヘッダ書込完了通知が送られたか否かを判断する（ステップ S 5）。

ヘッダ書込通知有りの場合は、指定のセルバッファ No. 対応のバッファ管理メモリ 4 4 上のバッファ管理情報エリア 4 4 0 b にヘッダ書込完了フラグをオンし、付属情報を書き込む（ステップ S 6）。

ついで、ヘッダの書込待ち中キュー WWQ か否かを判断する（ステップ S 7）。書込待ち中キュー WWQ であれば、書込完了通知のあったセルバッファ No. を組立済



先頭ポインタに設定し、ヘッダ書込待ち制御情報内の最後尾バッファを組立済最後尾ポインタに設定する。ついで、組立て済 packets を出力待ちキューOWQに繋ぐ（ステップS8）。

図13は、図11に対応する packets 組立フローの他の例である。ステップS3のヘッダ書込済か否かの判断で、ヘッダ書込済である場合、更にヘッダ書込完付属情報が廃棄指示されているか否か（ステップS30）の判断が追加されている。

廃棄指示されている場合は、組立て中キューUCQにある組立済 packets を組立中キューUCQ内のセルを空きバッファIBQにリンクして廃棄する（ステップS31）。

また、図14は、図12に対応するヘッダ書込完監視フローの他の例である。書込待ち中か否かの判断（ステップS6）において、書込待ち中であれば、図13におけると同様に、ヘッダ書込完付属情報が廃棄指示されているか否か（ステップS70）の判断が追加されている。

廃棄指示されている場合は、書込完通知のバッファNo. を組立て済先頭ポインタに設定する。さらに、ヘッダ書込待ちエリア内の最後尾バッファを組立て済最後尾ポインタとして組立済 packets を廃棄する。

これにより、組立中キューUCQを空きバッファIBQにリンクする（ステップS71）。

図15は、 packets 送出処理フローである。シーケンス制御部40は、出力待ちキューOWQにセルがあるか否かを判断する（ステップS10）。出力待ちキューOWQにセルがある場合は、 packets 送出中か否かを判断する（ステップS11）。

ここで packets 送出中か否かの判断は、シーケンス制御部40内に備えられる、図示しないレジスタにより示される packets 送出中はオンとされるフラグ情報に基づき行われる。

このフラグ情報から packets 送出中であれば、セル送出をバッファ制御部3に指示する（ステップS12）。次いで、出力待ちキューの先頭ポインタを次のリンクバッファNo. とする。そして、送出セルバッファNo. を空きキューIBQにリンクする（ステップS13）。

該当 packets の最終セルであるかを判断し（ステップS14）、最終セルである場

合は、上記の packets 送出中フラグをオフとする (ステップ S 15)。

一方、ステップ S 11において、packets 送出中でないと判断されると、先頭セルを受信して、バッファ管理メモリ 44からヘッダ付属を読み取る (ステップ S 16)。ヘッダ付加処理対象か否か (即ち、大規模ネットワーク 200に向けた packets であるか否か) を判断し (ステップ S 17)、ヘッダ付加処理対象であれば、セル送出をバッファ制御部 3に指示する (ステップ S 18)。

次いで、出力待ちキューの先頭ポインタを次のリンクバッファ No. とする。そして、送出セルバッファ No. を空きキュー IBQにリンクする (ステップ S 19)。さらに、packets 送出中フラグをオンとする (ステップ S 20)。

ステップ S 17において、ヘッダ付加処理対象 (即ち、大規模ネットワーク 200から LANネットワーク 100上のユーザに向けた packets であるか否か) でなければ、ヘッダ置換対象か (即ち、大規模ネットワーク 200から LANネットワーク 100上のユーザに向けた packets であるか否か) を判断する (ステップ S 21)。

ヘッダ置換対象であれば、セル送出をバッファ制御部 3に指示する (ステップ S 22)。次いで、出力待ちキューの先頭ポインタを次の次のリンクバッファ No. とする。そして、送出セルバッファ No. 及び、次リンクバッファ No. を空きバッファキュー IBQにリンクする (ステップ S 23)。結果として、旧ヘッダが廃棄される (ステップ S 24)。そして、packets 送出中フラグをオンとする (ステップ S 25)。

さらに、ステップ 21において、ヘッダ置換対象でなければ、そのまま、出力待ちキューより次のリンクのバッファ No. を取り出し、セル読出をバッファ制御部 3に指示する (ステップ 26)。

次いで、出力待ちキューの先頭ポインタを次の次のリンクバッファ No. とする。そして、廃棄セルバッファ No. 及び、送出セルバッファ No. を空きバッファキュー IBQにリンクする (ステップ S 27)。そして、packets 送出中フラグをオンとする (ステップ S 28)。

産業上の利用可能性

以上実施の形態を図面に従い説明したように、本発明では、パケットの組立と並列にパケットのヘッダ解析、送信ヘッダの作成処理を可能とする。また受信ヘッダの読取り及び、送信ヘッダの付加も、パケットの組立て処理に影響を与えることなく行える。

このため、パケット組立用のバッファとヘッダ処理用のバッファが完全に共用でき、ハードの削減に効果がある。

また、ヘッダ解析作成部との情報送受は、ハード処理による高速動作が可能であり、ヘッダ解析付加処理が高速処理を要求される場合では十分な高速動作が保証される。また、ヘッダの解析、作成処理が、一時的に輻輳しても、パケットバッファメモリでパケットを保留することが可能であり、パケット種別によりヘッダ解析・作成処理時間が大きく異なる場合、効果的にヘッダの付加処理が行える。

また、ヘッダア書込み通知の手段によりパケットの廃棄、パケットの通過（無処理指示等）も可能である。またATMヘッダのコピーも可能であり、ヘッダ付加と同時にパケットの処理指示が、簡単なハードウェアで可能となる。

以上説明したように、本発明によれば、パケットをATMセルでVC多重で受信し、セルのままパケット化して送信するパケットバッファにおいて、同時にパケットのヘッダ付加置換を高速でかつバッファを共有して実現可能となる。高速回線のパケットヘッダ付加を行うシステムに対して処理の高速化、ハード量の削減に大いに効果がある。

### 請求の範囲

1. VC (仮想チャネル) 多重されたATM (非同期転送モード) セルを受信し、VC毎にセルのままパケットを組立て、パケット単位で出力するパケットバッファ装置において、

受信したパケットをセル単位に格納する複数のセルバッファを有するパケットバッファメモリと、

該パケットバッファメモリのセルバッファ対応に、バッファ管理情報を保持するバッファ管理メモリと、

VC毎に該パケットバッファメモリへのパケットの先頭セルから最終セルまでの格納の途中のパケット組立中キューを形成する組立中ポインタと、

該先頭セルを解析して、新たなヘッダセルを作成するヘッダ解析・作成手段を有し、

該ヘッダ解析・作成手段は、作成された新たなヘッダセルを該パケット組立中キューの先頭セルとして書き込みを行うことを特徴とするパケットバッファ装置。

2. 請求項1において、

さらに、前記パケットバッファメモリへのパケットの先頭セルから最終セルまでの格納によりパケットが組み立てられ、且つ前記新たなヘッダセルの書込の完了を検知し、前記組立中ポインタで形成されるパケット組立中キューを出力待ちキューに繋ぐ様に制御するシーケンス制御部を有することを特徴とするパケットバッファ装置。

3. 請求項1において、

前記新たなヘッダセルの先頭セルとして書き込みは、該ヘッダセルの付加、該ヘッダセルとの置換又は、先頭セルの無変換処理を含むことを特徴とするパケットバッファ装置。

4. 請求項1において、

前記パケットバッファメモリは、パケットの先頭セルを受信した時、該先頭セルに対応して、リンクする2つのセルバッファを確保し、該確保された2つのセルバッファの2番目のセルバッファから、受信するパケットのセルを格納することを特徴とするパケットバッファ装置。

5. 請求項 2 において、

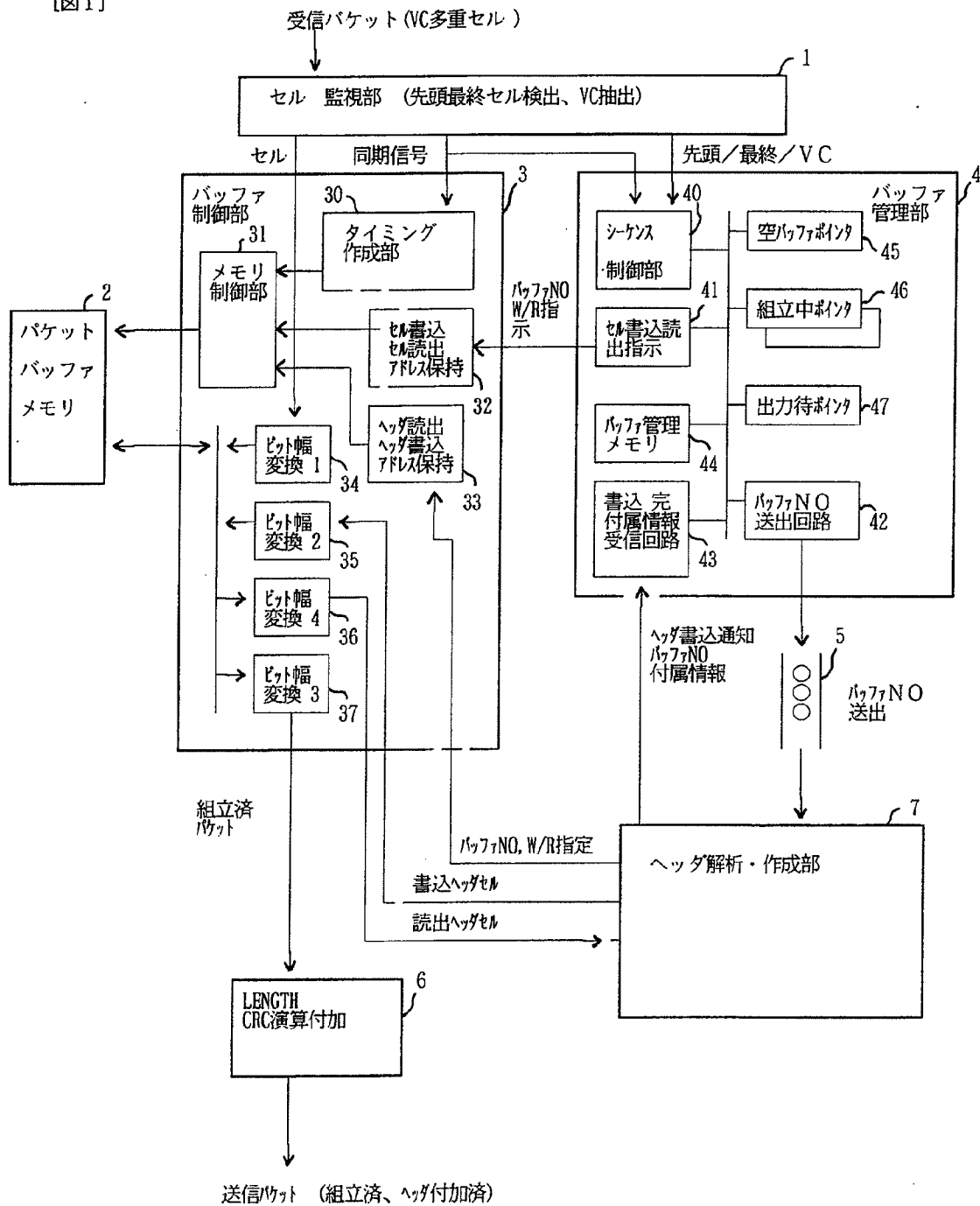
前記ヘッダ解析・作成手段は、作成された新たなヘッダセルを前記パケット組立中キューの先頭セルとして書き込みを完了した情報と、付属情報を出力し、

前記シーケンス制御部は、該付属情報を参照して、前記組立中ポインタで形成されるパケット組立中キューを、出力待ちキューに繋ぐことなく廃棄するように制御することを特徴とするパケットバッファ装置。

6. 請求項 1 において、

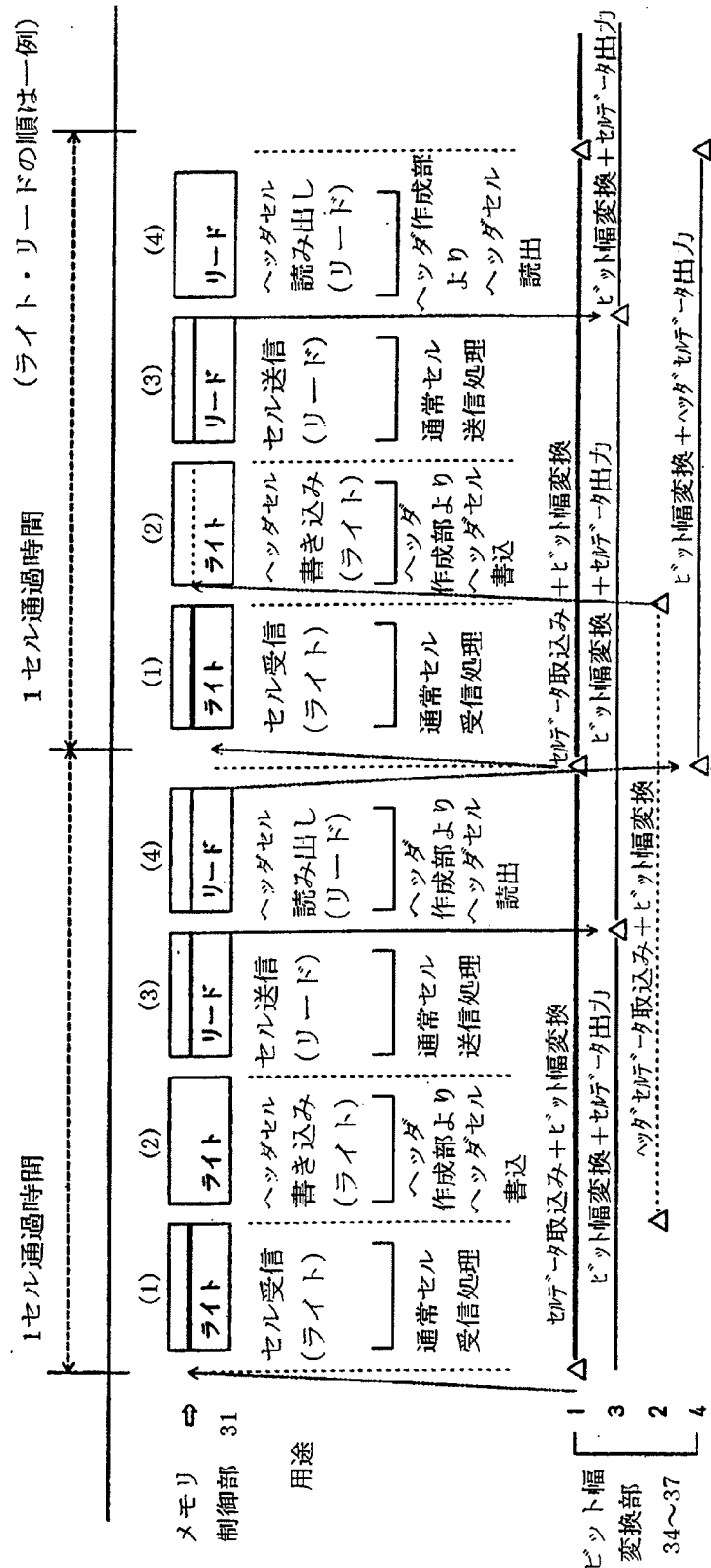
前記新たなヘッダセルの内容をパケットの後続するセルのヘッダにコピーして出力することを特徴とするパケットバッファ装置。

【図1】

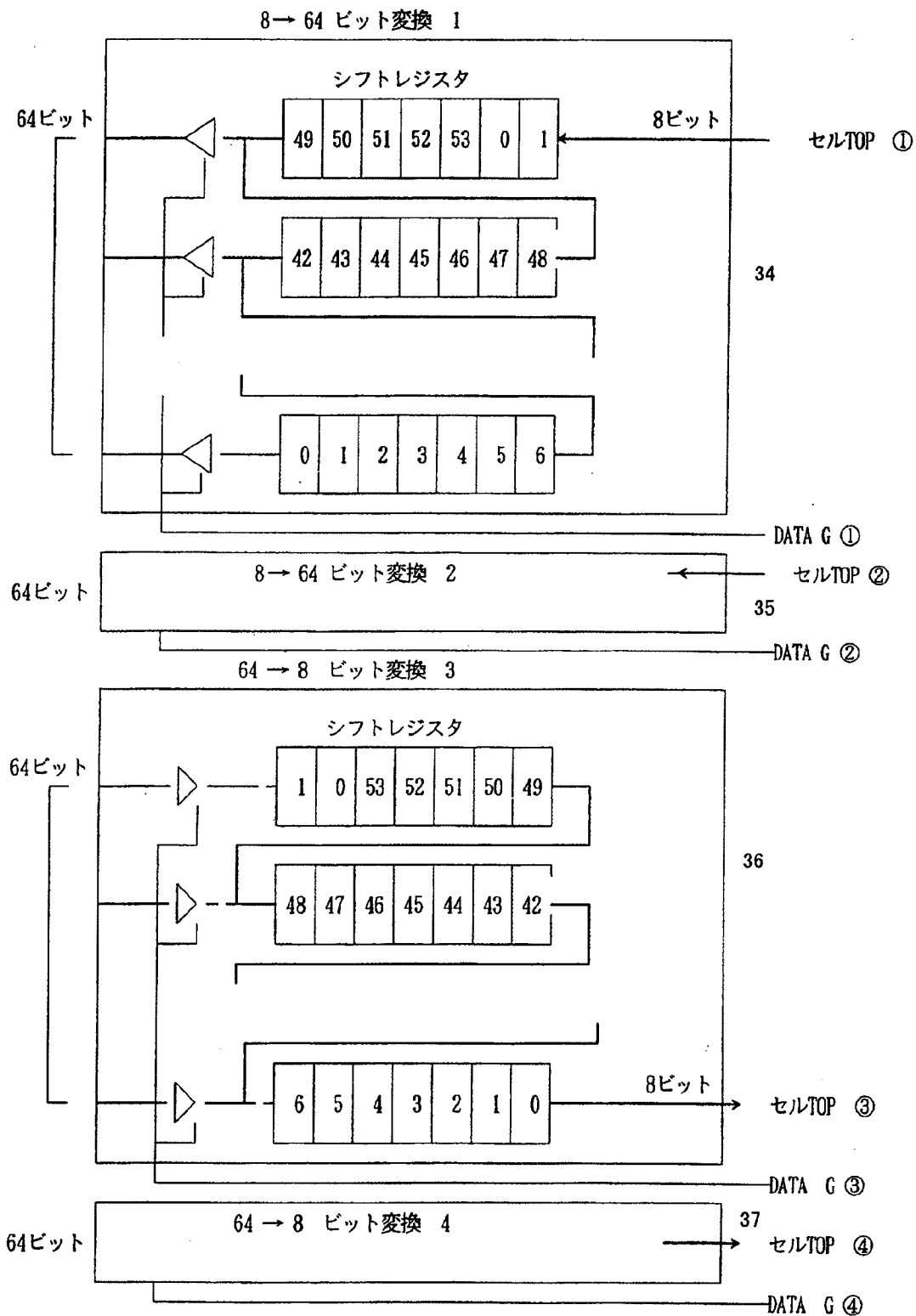


[図2]

本発明のバッファ制御部の動作を説明する図

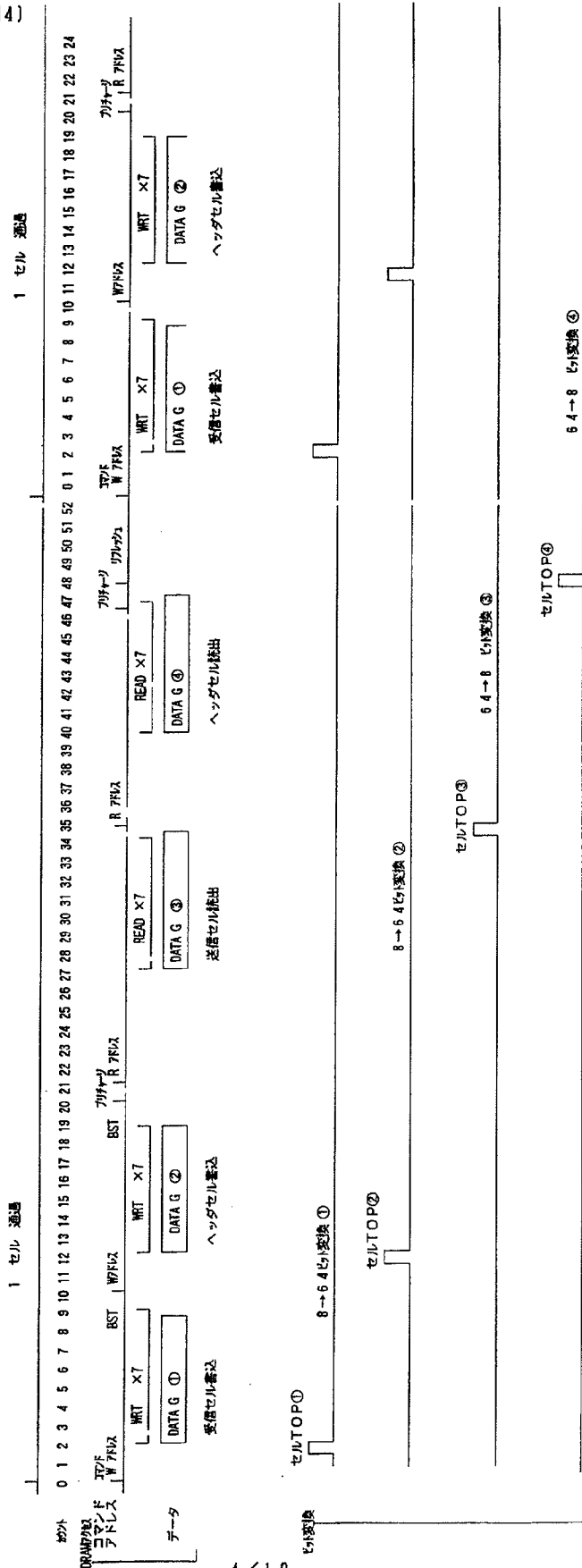


【図3】 本発明におけるバッファ制御部のビット変換回路の実施例



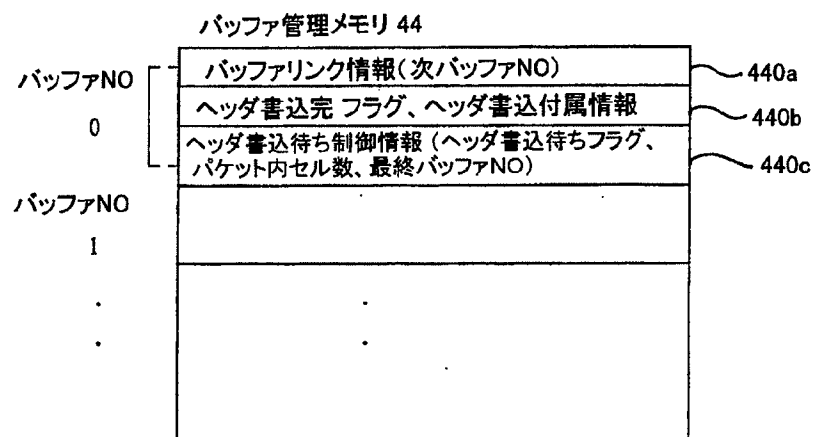


(図4)

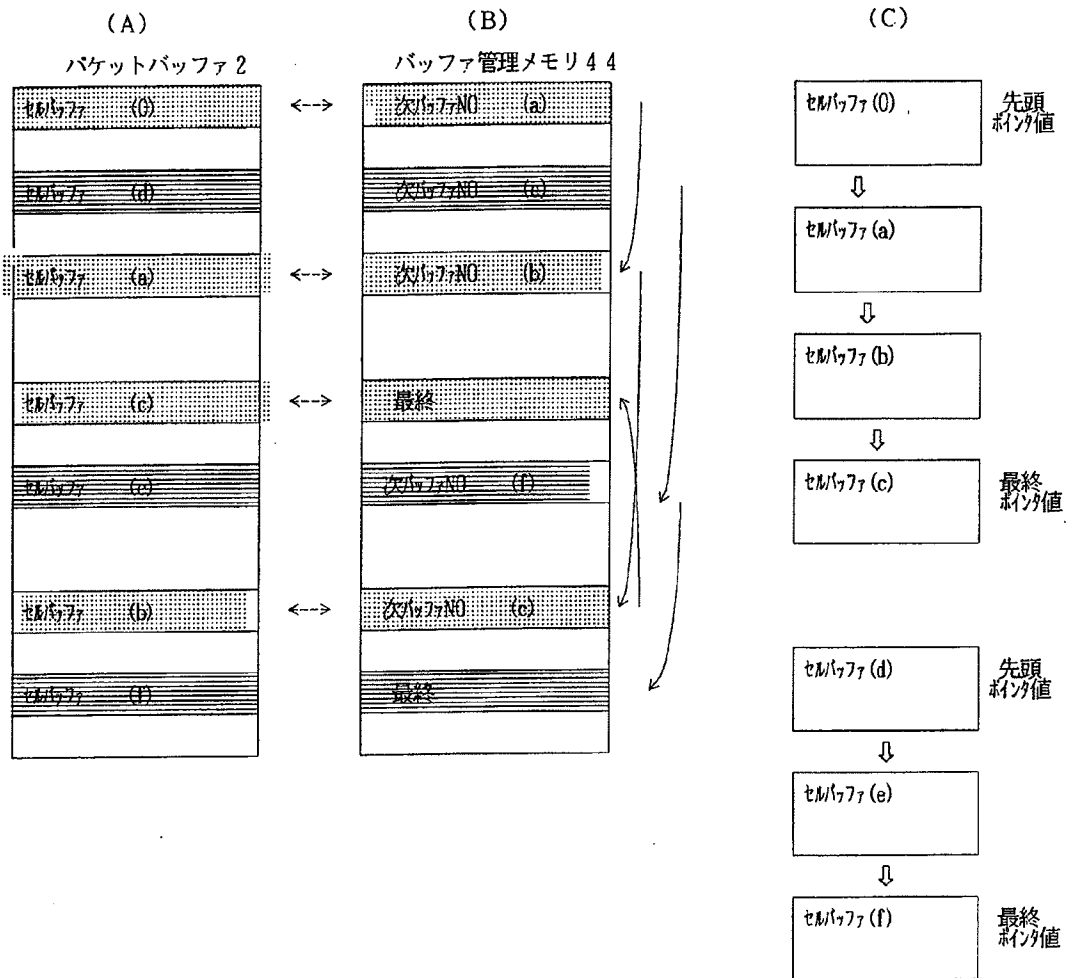




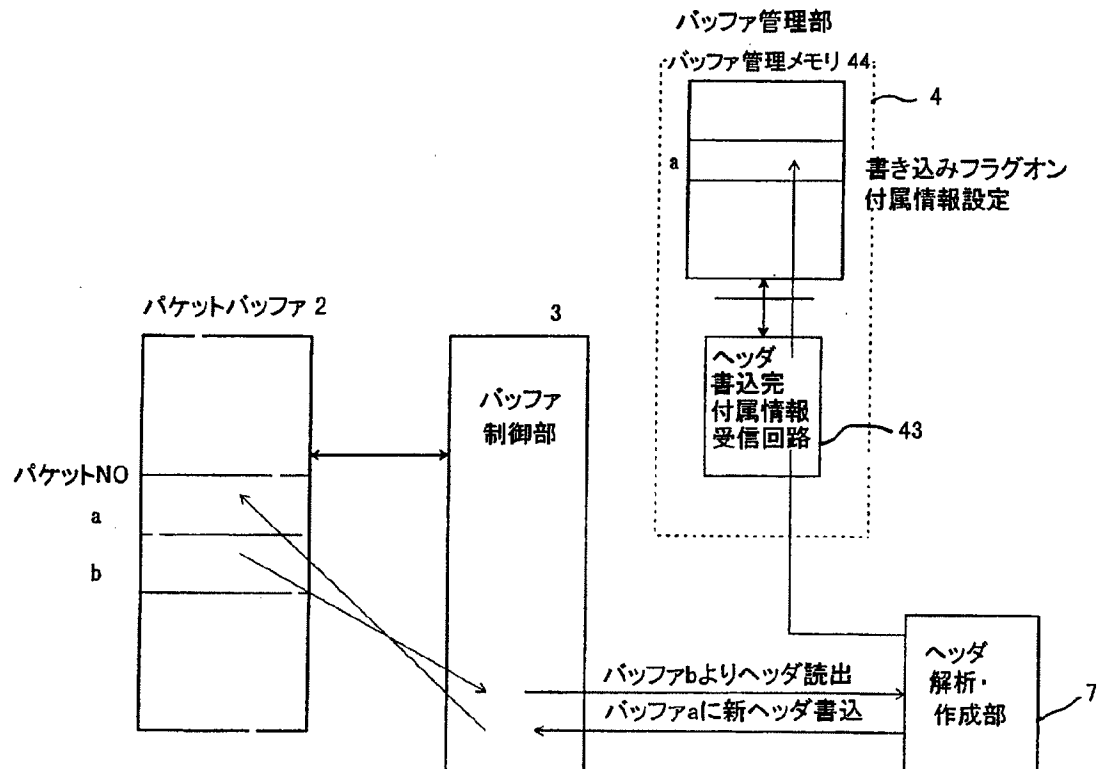
[図6]



[図7]

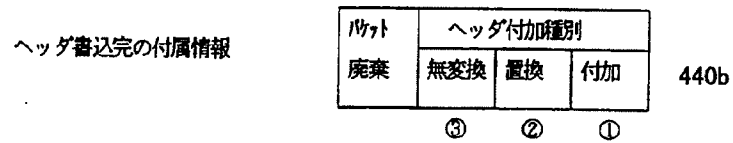


[図8]

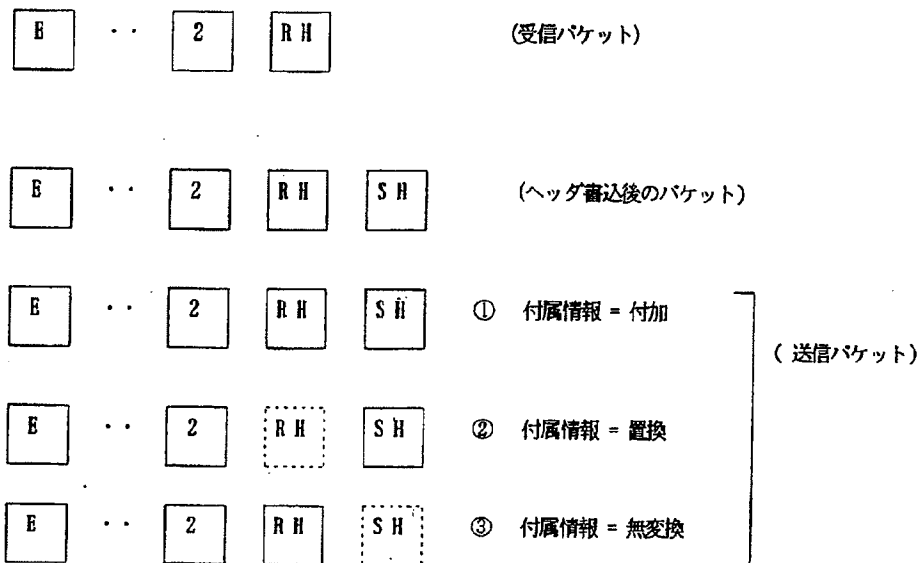


[図9]

(A)



(B)

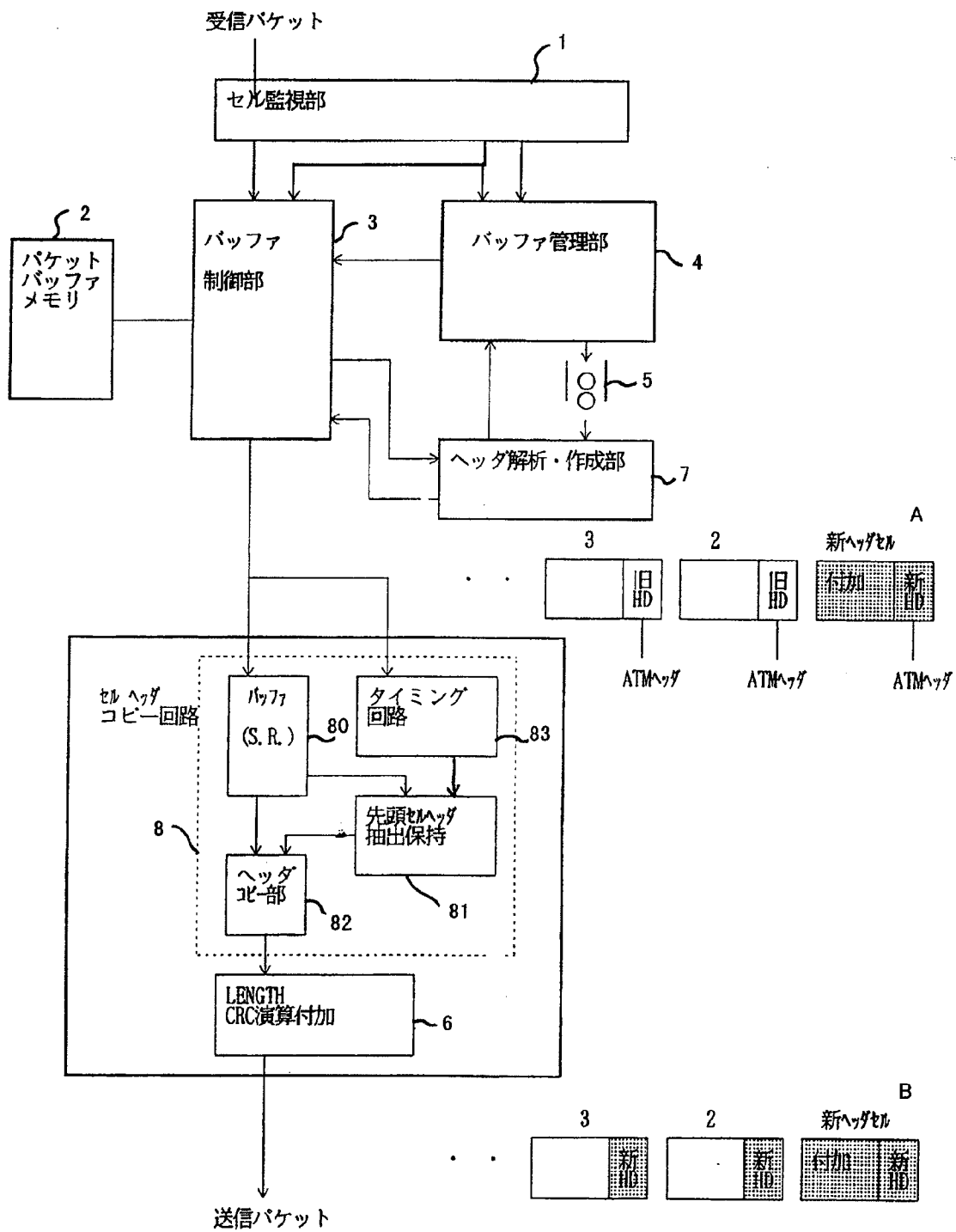


RH: 受信バケットのヘッダセル

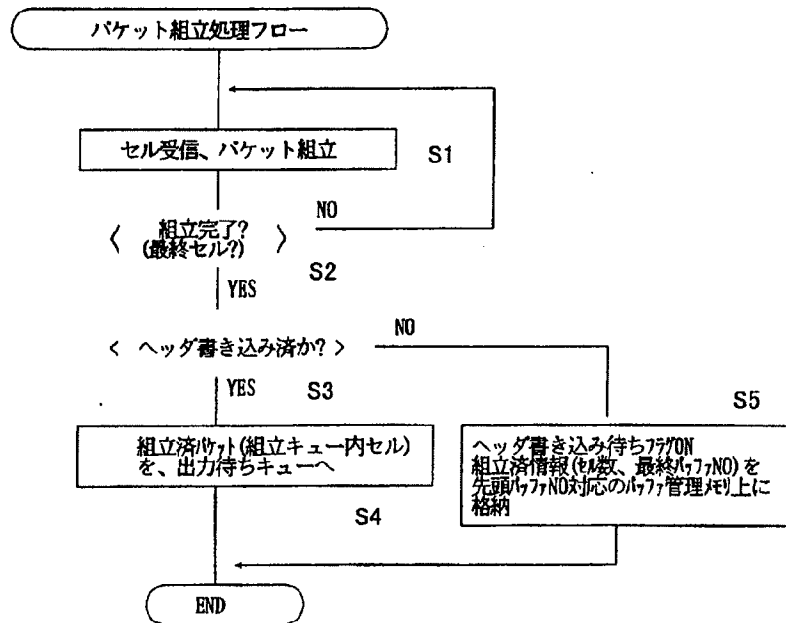
SH: ヘッダ解析・作成部より付加されたヘッダセル

は廃棄を示す。

[図 10]

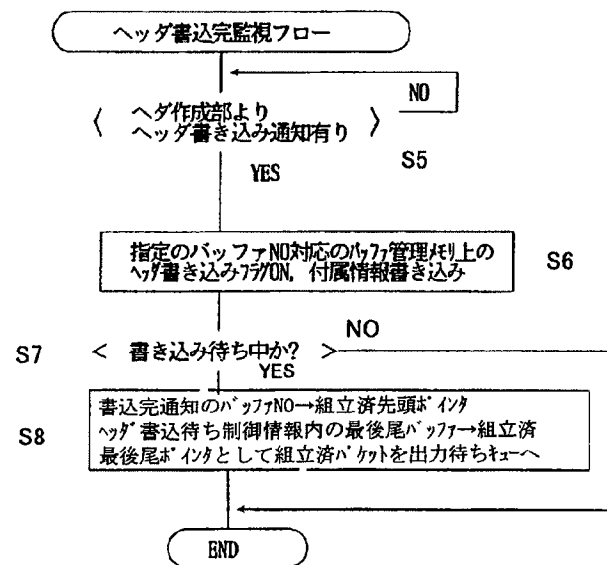


[図11]



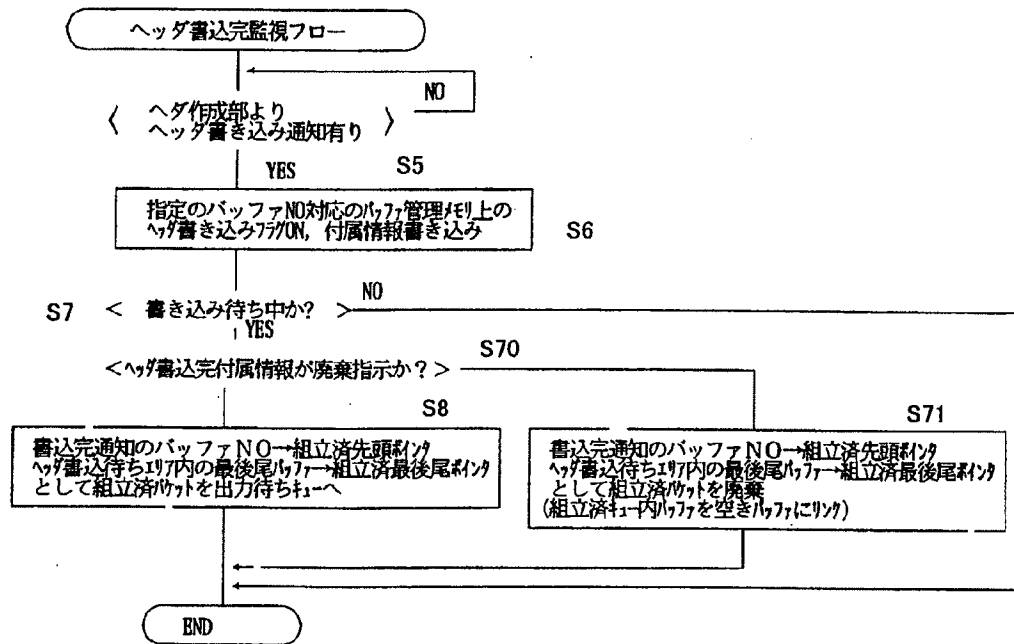


[図12]

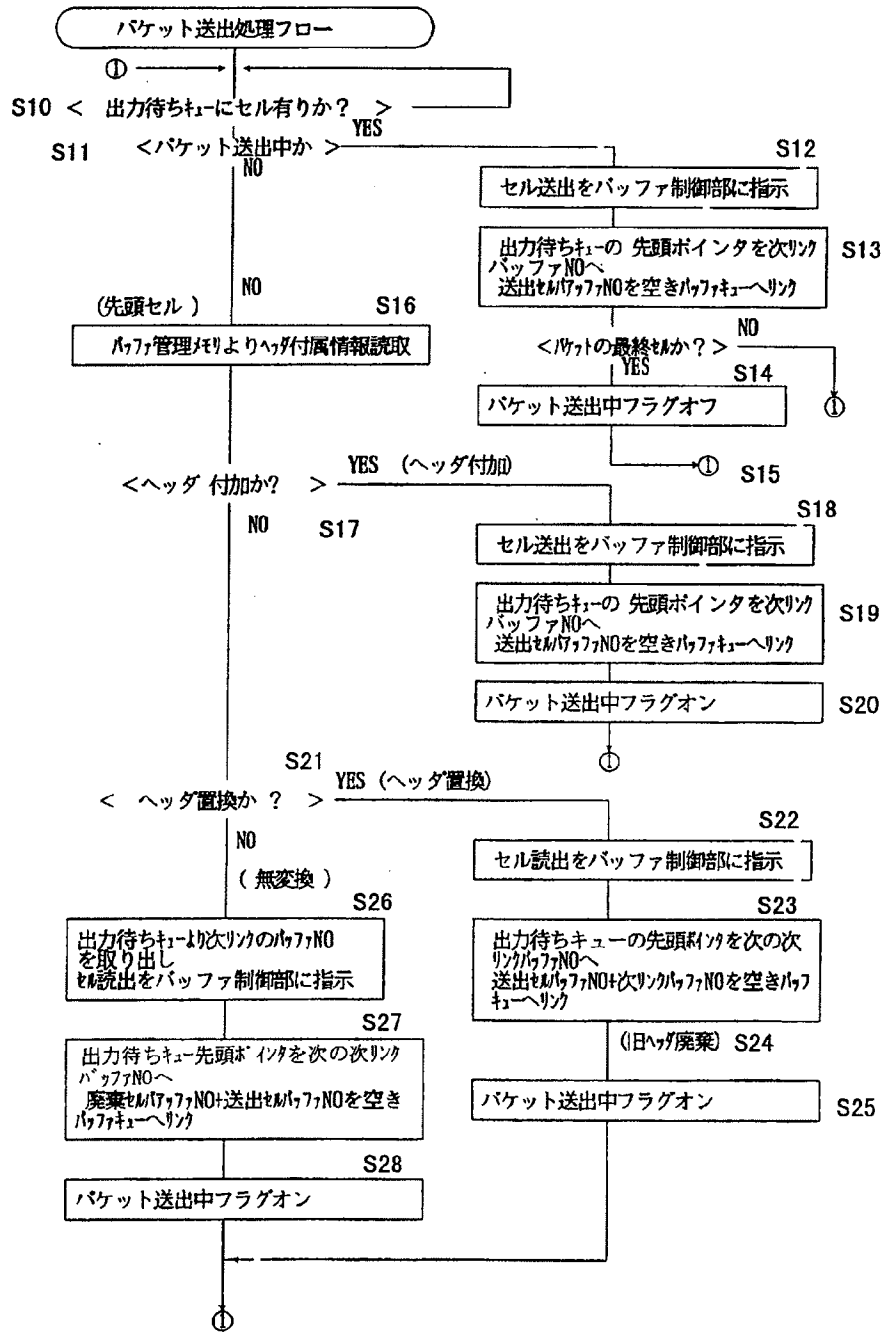


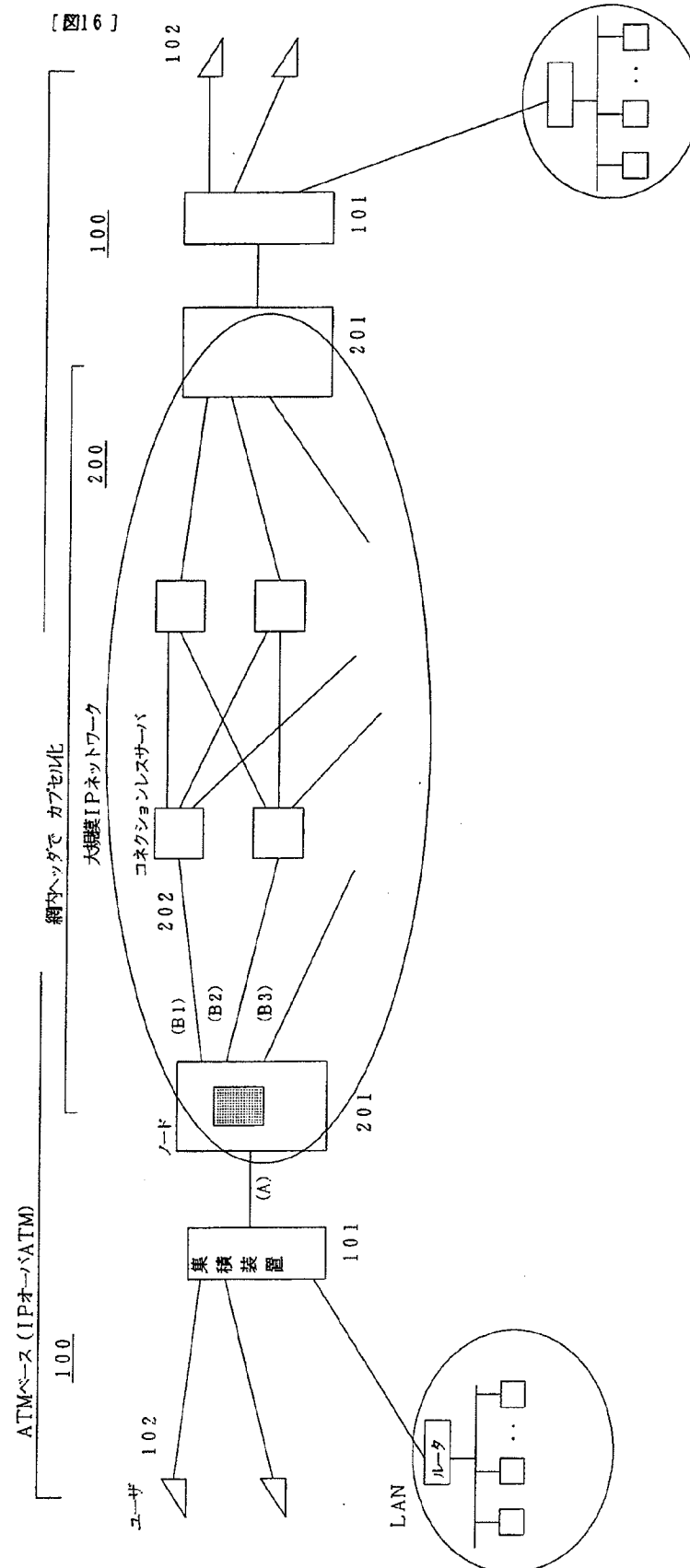


[図14]



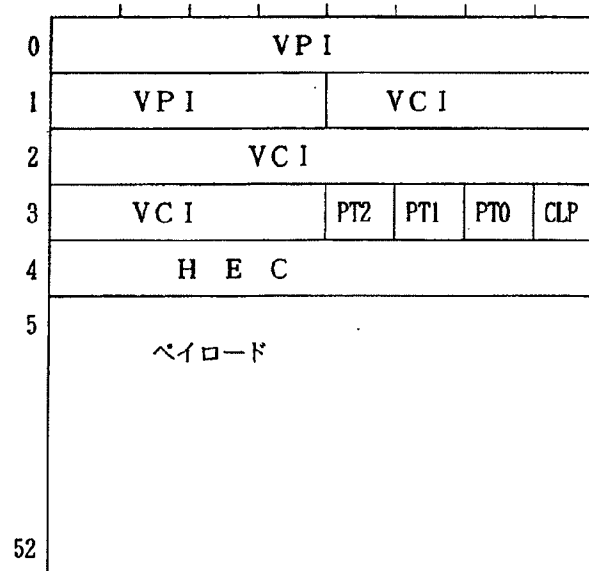
[図15]





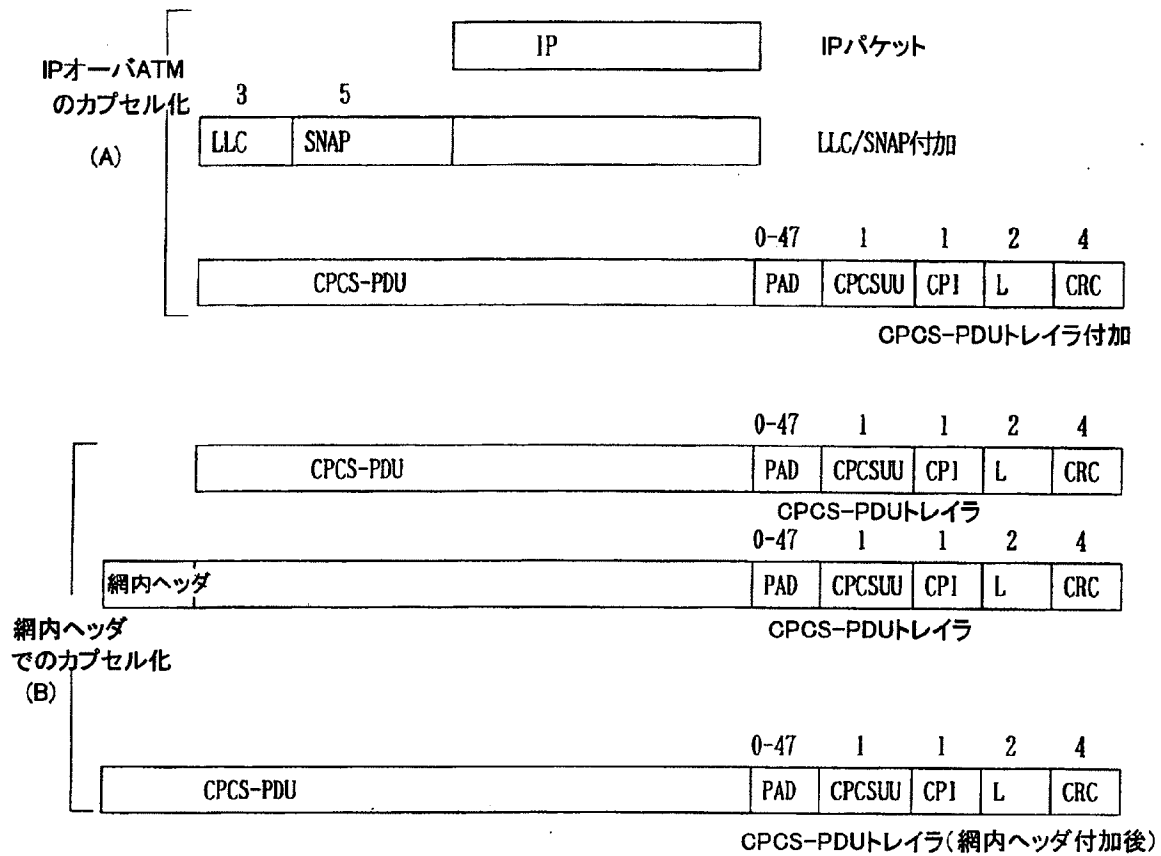
[図17]

## AAL5 ATMセル

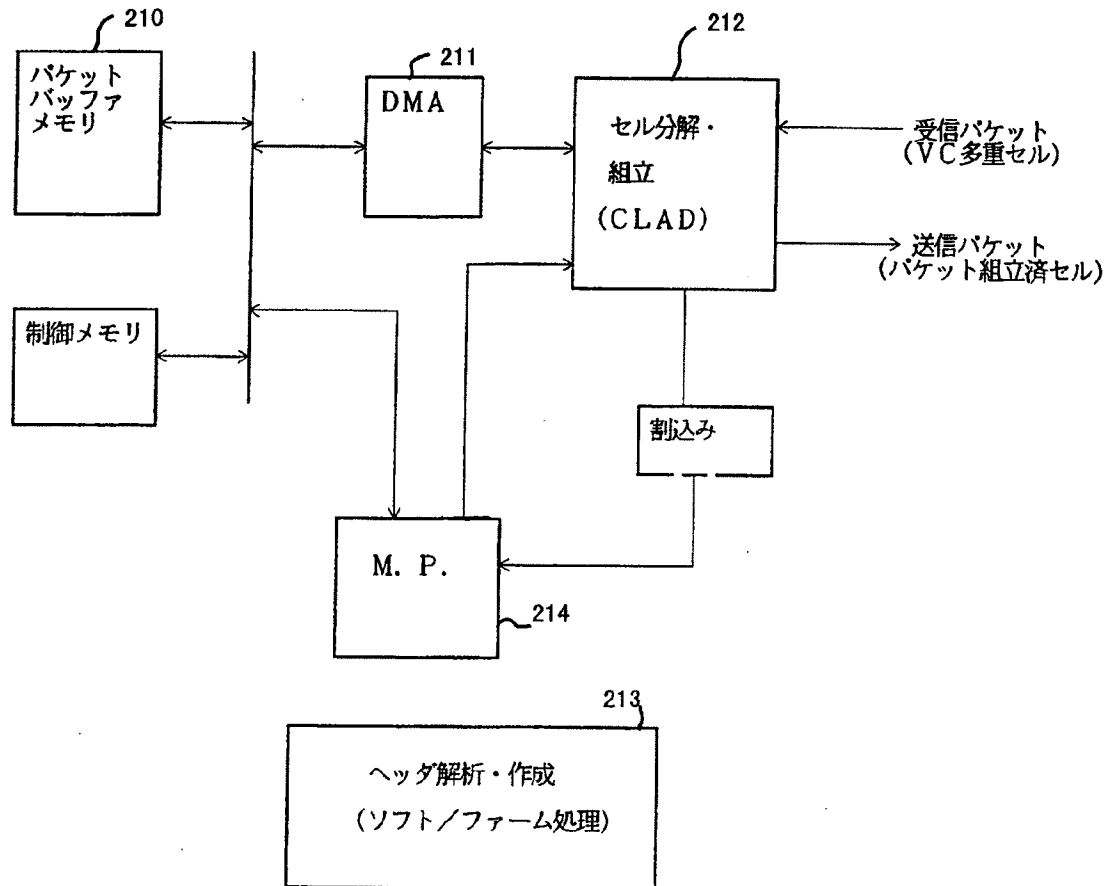


CLP: 損失優先表示  
PT0: 最終表示  
1: 輻輳表示  
2: X

[図18]



[図19]





## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/04477

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl.<sup>6</sup> H04L12/28, H04L12/56

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.<sup>6</sup> H04L12/28, H04L12/56

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-1998  
Kokai Jitsuyo Shinan Koho 1971-1998 Jitsuyo Shinan Toroku Koho 1996-1998

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	Haruhiro Kaganoi, Akio Harasawa, Koji Ashihara, "AAL-1 CLAD Processing System Using Shared Cell Store (in Japanese)", 1997 Annual Meeting of IEICE, 1997 March, Communication Volume 2, No. B-8-24, p. 410, particularly refer to Fig. 1 ; left column, line 22 to right column, line 4	1, 4
A	JP, 09-312652, A (Mitsubishi Electric Corp.), 2 December, 1997 (02. 12. 97) (Family: none) Particularly refer to Fig. 3 ; Par. Nos. [0016] to [0018]	1-6
A	JP, 06-224932, A (Toshiba Corp.), 12 August, 1994 (12. 08. 94) (Family: none) Particularly refer to Fig. 1 ; Par. Nos. [0007], [0017], [0030]	1-6
A	JP, 04-351039, A (NEC Corp.), 4 December, 1992 (04. 12. 92) (Family: none) Refer to Par. No. [0002]	4

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
9 December, 1998 (09. 12. 98)

Date of mailing of the international search report  
22 December, 1998 (22. 12. 98)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

**PCT/JP98/04477****C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 08-65307, A (Toshiba Corp.), 8 March, 1996 (08. 03. 96) (Family: none) Refer to abstract	6

## 国際調査報告

国際出願番号 PCT/J P 98/04477

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

H04L12/28, H04L12/56

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

H04L12/28, H04L12/56

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年  
 日本国公開実用新案公報 1971-1998年  
 日本国登録実用新案公報 1994-1998年  
 日本国実用新案登録公報 1996-1998年

国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	加賀野井晴大, 原澤昭夫, 芦原浩司, 「共有セルストアを用いた AAL-1 CLAD 処理方式」, 1997年電子情報通信学会総合大会, 1997年3月, 通信第2分冊, No. B-8-24, p. 410. 特に第1図、左欄第22行~右欄第4行参照。	1,4
A	JP, 09-312652, A (三菱電機株式会社) 2.12月.1997 (02.12.97) (ファミリーなし) 特に第3図、段落【0016】~【0018】を参照。	1-6
A	JP, 06-224932, A (株式会社東芝) 12.8月.1994 (12.08.94) (ファミリーなし) 特に第1図、段落【0007】、【0017】、【0030】を参照。	1-6

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日

09.12.98

国際調査報告の発送日

22.12.98

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

稲葉 和生

5K

8732

電話番号 03-3581-1101 内線 3556

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 04-351039, A (日本電気株式会社) 4. 12月. 1992 (04. 12. 92) (ファミリーなし)。 段落【0002】を参照。	4
A	JP, 08-65307, A (株式会社東芝) 8. 3月. 1996 (08. 03. 96) (ファミリーなし) 要約を参照。	6